

メモリを有しており、復元された1ピクチャ及びnピクチャを記憶してその間のnピクチャを復元するために用いられる。具体的には、2つの手順メモリには、未来から復元するための画像データと、過去から予測するための画像データを記憶さる。適宜これらをスイッチで切り替えて画像出力とすることで、nピクチャを復元する。また、2つの手順メモリからのそれぞれの出力(端子a、c)の他に、両メモリからの平均出力(端子b)があるのは、nピクチャの両方向予測符号化マクロブロックを復元するためである。

[0004] 発明が解決しようとする課題] このように、従来のMPEGデコーダでは、入力したビットストリームの各マクロブロックを順次処理して復元する。すなわち、あるマクロブロックが入力されるとマクロブロック内の全てのブロックの可変長復元を行い、その後処理が完了した後に逆量量化処理を行うといった手順で処理しているため、最終的に全てのマクロブロックを復元するまでに時間を要する問題があった。

[0005] 1. S.1の場合、もちろん、動作回数を十分高くすれば、前述のようなシーケンシャルな処理方法でも時間的に復元可能であるが、消費電力の増大を招いてしまう。

[0006] 本発明は上記従来技術の有する課題に鑑み、なされたものであり、その目的は、消費電力の増大を招くことなく復元処理を高速化できる処理方法及び装置を提供することにある。

[0007] [課題を解決するための手段] 上記課題を達成するためには、第1の発明は、それぞれ所定のマクロブロックを含むnピクチャ、nピクチャ及びnピクチャのMPEG画像データを、可変長復元、逆量量化、逆DCT各処理ステップを経て原画像に表す原画像データ処理方法であって、マクロブロックを構成するブロック単位で各処理を並列実行することを特徴とする。

[0008] また、第2の発明は、第1の発明において、マクロブロックを構成する第nブロックの可変長復元処理が完了した後、この第nブロックの可変長復元処理と次の第(n+1)ブロックの可変長復元処理を並列実行することを特徴とする。

[0009] また、第3の発明は、第1の発明において、マクロブロックを構成する第nブロックの逆量量化処理が完了した後、この第nブロックの逆DCT処理と次の第(n+1)ブロックの逆量量化処理とさらに次の第(n+2)ブロックの可変長復元処理を並列実行することを特徴とする。

[0010] また、第4の発明は、第1の発明において、マクロブロックを構成する全てのブロックの可変長復元処理が完了した後、該マクロブロックの動き補償処理を実行することを特徴とする。

は、DMA(ゲレックメモリアクセス)を介して、メモリ2からビットストリームデータを読み出し、デコーダ1. S.1.2.8に出力する。

[0019] デコーダ1. S.1.2.8は、バッファとして機能するCPIインタフェース部3.6、DRAM制御部3.2、DRAM3.4、可変長復元部3.6、逆量量化部4.0、逆DCT部4.2、メモリ(1)4.4、動き補償部4.6及びメモリA3.8を含んで構成されており、メモリ2.4からのビットストリームはCPIインタフェース3.4を介してDRAM3.4に記憶される。そして、DRAM制御部3.2はDRAM3.4に記憶されたデータを順次読み出し可変長復元部3.6に出力する。可変長復元部3.6は、入力したデータを可変長復元して逆量量化部4.0に出力する。逆量量化部4.0では、入力したデータを逆量量化して逆DCT部4.2に出力する。逆DCT部4.2では、入力したデータを逆DCT処理してメモリ(1)4.4に出力し、データを記憶する。また、可変長復元部3.6は、入力したマクロブロックの先頭に位置するヘッダデータを復元すると、そのデータをメモリ(A)3.8に出力し記憶する。なお、ヘッダデータには、マクロブロックアドレスやマクロブロックタイプ等がインデックスされており、さらにマクロブロックの輪郭がインデックスされている場合、すなわち輪郭方向予測符号化マクロブロックや逆方向予測符号化マクロブロックあるいは両方向予測符号化マクロブロックの場合には動きベクトルに関するデータが含まれる。動きベクトルは、MPEGにおいてハーフペル(半画素)単位の精度で表される。

[0020] 従来のMPEGデコーダにおいては、上述したように、マクロブロック内の全てのブロックの復元処理が完了した後に逆量量化処理を行い、さらに全てのブロックの逆量補償処理を行い、そのマクロブロックの動き補償(イントラマクロブロックでない場合)が完了した後、次のマクロブロックの処理に移行したが、本実施形態では、このように各処理をシーケンシャルに行うのではなく、マクロブロック内で各処理を並列的に実行して処理の高速化を図っている。

[0021] すなわち、DRAM3.4から読み出された第nブロックの先頭の第1ブロックデータが可変長復元部3.6に入力されると、可変長復元部3.6では、この第1ブロックデータを可変長復元し、次の逆量量化部4.0に出力する。逆量量化部4.0では、入力したブロックデータの逆量量化処理を実行する。このとき、第1ブロックデータの逆量補償処理が完了したことを検出したブロックデータの可変長復元が完了したことを検出したDRAM制御部3.2は、次の第2ブロックデータをDRAM3.4から読み出し、可変長復元部3.6に出力する。従って、逆量量化部4.0での第2ブロックデータの逆量補償処理と可変長復元部3.6での第2ブロックデータの可変長復元処理は並列に行われることになる。

[0022] また、第5の発明は、第1の発明において、可変長復元部3.6で可変長復元されると、メモリ(A)3.8に出力される。そして、次の第1ブロックデータの可変長復元処理が行われる。第1ブロックデータの可変長復元処理が完了すると、次に逆量補償処理を行うが、同時に第2ブロックデータの可変長復元処理も実行される。

[0023] 第1ブロックデータの逆量補償処理及び第2ブロックデータの可変長復元処理が完了すると、次に第1ブロックデータの逆DCT処理及び第2ブロックデータの逆量補償処理が行われる。以下同様にしてブロック単位で並列して処理し、逆DCT処理されたデータがメモリ(1)4.4に記憶されていく。以下同様にして、第5、第6ブロックデータと進む。 [0027] ここで、第nマクロブロックがイントラマクロブロックの場合には、逆DCT処理されたデータがそのまま所望の復元データであるので、DRAM3.4に

[0022] 逆量補償部4.0で第1ブロックデータの逆量補償処理が完了すると、次の逆DCT部4.2に出力し、第1ブロックデータの逆DCT処理が行われる。また、可変長復元部3.6で可変長復元された第2ブロックデータは、次の逆量補償部4.0に出力されて逆量補償処理が行われ、DRAM3.4から読み出された第3ブロックデータは可変長復元部3.6に出力されて可変長復元される。従って、この時点では、逆DCT部4.2での第1ブロックデータの処理と逆量補償部4.0での第2ブロックデータの処理と可変長復元部3.6での第3ブロックデータの処理が並列して行われることになる。

[0023] 逆DCT部4.2で第1ブロックの処理が完了した後、第1ブロックデータはメモリ(1)4.4に出力され、逆DCT部4.2に出力される。また、逆量補償部4.0で第2ブロックデータの処理が完了すると、そのデータを逆DCT部4.2に出力し第2ブロックデータの逆DCT処理が行われる。また、可変長復元部3.6で第3ブロックデータの処理が完了すると、そのデータを逆量補償部4.0に出力し第3ブロックデータの逆量補償処理が行われ、DRAM3.4から読み出された第4ブロックデータは可変長復元部3.6に出力されて可変長復元される。従って、逆DCT部4.2での第2ブロックデータの処理と逆量補償部4.0での第3ブロックデータの処理と可変長復元部3.6での第3ブロックデータの処理が並列して行われることになる。

[0024] 図2には、以上の各処理内容(可変長復元、逆量補償、逆DCT、動き補償)がタイミングチャートとして示されている。なお、マクロブロックは、上述したようにヘッダデータと6個のブロックから構成され、これらのブロックを以下では第1ブロック、第2ブロック、...、第6ブロックと称することにす(図ではブロック1、ブロック2、...、ブロック6と記す)。

[0025] まず、第nマクロブロックのヘッダデータが可変長復元部3.6で可変長復元されると、メモリ(A)3.8に出力される。そして、次の第1ブロックデータの可変長復元処理が行われる。第1ブロックデータの可変長復元処理が完了すると、次に逆量補償処理を行うが、同時に第2ブロックデータの可変長復元処理も実行される。

[0026] 第1ブロックデータの逆量補償処理及び第2ブロックデータの可変長復元処理が完了すると、次に第1ブロックデータの逆DCT処理及び第2ブロックデータの逆量補償処理が行われる。以下同様にしてブロック単位で並列して処理し、逆DCT処理されたデータがメモリ(1)4.4に記憶されていく。以下同様にして、第5、第6ブロックデータと進む。 [0027] ここで、第nマクロブロックがイントラマクロブロックの場合には、逆DCT処理されたデータがそのまま所望の復元データであるので、DRAM3.4に

出力されるが、例えば画方向調節符号マクロブロックの場合には、画方向調節符号を用いて参照画像（過去の画像）から再生する必要があるので、この場合には動き補償部46においてメモリ(A)38aに記憶されているヘッダデータを用いて参照画像と加算処理することによって画像を再生する。具体的には、ヘッダデータに含まれる動きベクトルから参照マクロブロックの位置を計算し、DRAM34に記憶されている参照マクロブロックを切り出してメモリ(1)44に記憶されている逆DCT処理された画像データと加算処理する。即ち、各ブロックの可変長復号処理において、あるブロックにエラーが生じた場合にはそのブロックが削除されて再生できないので、処理の無駄を省くためには全てのブロックの可変長復号が完了した後に参照画像の生成処理を開始し、この参照画像を用いて再生画像を生成するのが好適である。そして、第Nブロックの全ての処理が完了して再生画像データが出力された後、DRAM制御部32は次の第(N+1)マクロブロックをDRAM34から読み出し、同様の処理を繰り返す。

[0028] このように、本実施形態では、マクロブロック単位でまとめて各処理が行われるのではなく、マクロブロックを構成するブロック単位で各処理が並列して行われるので、動作回路数を高くすることなく処理の高速化を図ることができる。

[0029] 以下第2実施形態より上述した第1実施形態においては、マクロブロック内で処理の並列化を図る場合を示したが、マクロブロック内の並列化に加え、マクロブロック間で処理の並列化を図ることにより、一層の高速化を図ることもできる。本実施形態では、このようなマクロブロック間で並列処理する場合を説明する。

[0030] 図3には、本実施形態の構成ブロック図が示されている。基本的な構成は、図1に示された第1実施形態と同様であるが、逆DCT処理されたデータを記憶するメモリがメモリ(1)44aとメモリ(2)44bの2つのメモリから構成され、かつ、可変長復号されたヘッダデータを記憶するメモリがメモリ(A)38aとメモリ(B)38bの2つのメモリから構成されている点で相違する。メモリ(1)44aとメモリ(2)44bはその容量が図1のメモリ(1)44と同一であり、それぞれ同時に隣接するマクロブロックの画像データを記憶する。また、メモリ(A)38aとメモリ(B)38bも図1のメモリ(A)38と同一の容量を有し、それぞれ同時に隣接するマクロブロックのヘッダデータを記憶する。

[0031] このような構成において、各マクロブロック内での処理は上述した第1実施形態と同様であり、例えば、第NマクロブロックデータがDRAM34から読み出されると、可変長復号部36、逆量子化部40、逆DCT部42では順次ブロック単位に並列して可変長復号処理、逆量子化処理、逆DCT処理を行い、可変

長復号部36で復号されたヘッダデータはメモリ(A)38aに記憶され、逆DCT処理された画像データはメモリ(1)44aに記憶される。そして、この第Nマクロブロックがインタラマクロブロックでない場合には、メモリ(A)38aに記憶されたヘッダデータに含まれる動きベクトルを用いて参照画像と加算処理され、動き補償が行われる。動き補償部46でこの動き補償処理は、上述したようにエラー処理を考慮して第Nマクロブロック内の全てのブロック（合計6個）の可変長復号処理が完了した後に実行される。

[0032] 一方、可変長復号部36で第Nマクロブロックの全ての可変長復号処理が完了した場合、DRAM制御部32は、次の第(N+1)マクロブロックデータをDRAM34から読み出して可変長復号部36に出力する。可変長復号部36では、既に第Nマクロブロックの可変長復号処理は完了しているため、入力した第(N+1)マクロブロックの先頭データ、すなわちヘッダデータを直ちに可変長復号する。このとき、可変長復号部36の後段の処理、すなわち逆量子化部40や逆DCT部42はまた第Nマクロブロックの処理を行っているので、第Nマクロブロックの処理と第(N+1)マクロブロックの処理が並列して実行されることになる。可変長復号部36でヘッダデータの可変長復号処理が完了すると、ヘッダデータはメモリ(B)38bに出力されて記憶される。そして、DRAM34からは第(N+1)マクロブロックの第1ブロックが読み出され、可変長復号部36に出力される。以降の処理は第Nマクロブロックと同様であり、ブロック単位に並列して可変長復号されたヘッダデータはメモリ(2)44bに記憶される。

[0033] 第(N+1)マクロブロックの可変長復号、逆量子化、逆DCT各処理が行われている間、動き補償部46ではメモリ(A)38aに記憶された第Nマクロブロックのヘッダデータ及びメモリ(1)44aに記憶された第Nマクロブロックの画像データを用いて動き補償を実行するが、その処理が完了すると、次にメモリ(B)38bに記憶されている第(N+1)マクロブロックのヘッダデータ及びメモリ(2)44bに記憶されている画像データを用いて動き補償処理を行い、ピクチャあるいはピクチャを再生する。

[0034] なお、第(N+1)マクロブロックの動き補償処理は、第Nマクロブロックと同様に全てのブロックの可変長復号処理が完了した後に行われ、また、第(N+1)マクロブロックの可変長復号処理が完了した後に、直ちに次の第(N+2)マクロブロックの処理を開始され、そのヘッダデータがメモリ(A)38aに記憶されるとともに画像データがメモリ(1)44aに記憶されることは言うまでもない。

[0035] このように、メモリ(A)38a及びメモリ(1)44aを第Nマクロブロック用のメモリとして

使用し、メモリ(B)38b及びメモリ(2)44bを第(N+1)マクロブロック用のメモリとして交互に使用する。第Nマクロブロックの動き補償処理の完了を待つことなく、直ちに第(N+1)マクロブロックの可変長復号処理に実行することができ、処理の並列化を図ることができる。

[0036] 図4には、以上の処理内容がタイミングチャートで示されている。各マクロブロック内での処理は、第2のタイミングチャートと同様であり、可変長復号、逆量子化、逆DCT処理がブロック単位で並列して実行される。そして、図2では第Nマクロブロックの動き補償処理が完了した後に第(N+1)マクロブロックの可変長復号処理を開始したが、本実施形態では図4に示すように第Nマクロブロックの可変長復号処理が完了した後に、直ちに第(N+1)マクロブロックの可変長復号処理を開始する。従って、第(N+1)マクロブロックの処理と第Nマクロブロックのいくつかのブロックの逆量子化処理、逆DCT処理が並列して実行され、本実施形態の動作は図2と図4を比較すれば、本実施形態の有効性は明らかである。

[0037] なお、上述した第1及び第2実施形態では、マクロブロック内の全てのブロックの可変長復号処理が完了した後に、並列して実行されているが、仮にブロックの可変長復号処理でエラーが生じないことが明らかである場合には、より先のタイミングで動き補償処理（参照画像の再生）を開始することも考えられる。この動作は図5に示されている。

[0038] 図5は、本実施形態の構成ブロック図である。基本的な構成は、図1に示された第1実施形態と同様であるが、逆DCT処理されたデータを記憶するメモリがメモリ(1)44aとメモリ(2)44bの2つのメモリから構成され、かつ、可変長復号されたヘッダデータを記憶するメモリがメモリ(A)38aとメモリ(B)38bの2つのメモリから構成されている点で相違する。メモリ(1)44aとメモリ(2)44bはその容量が図1のメモリ(1)44と同一であり、それぞれ同時に隣接するマクロブロックの画像データを記憶する。また、メモリ(A)38aとメモリ(B)38bも図1のメモリ(A)38と同一の容量を有し、それぞれ同時に隣接するマクロブロックのヘッダデータを記憶する。

[0039] このような構成において、各マクロブロック内での処理は上述した第1実施形態と同様であり、例えば、第NマクロブロックデータがDRAM34から読み出されると、可変長復号部36、逆量子化部40、逆DCT部42では順次ブロック単位に並列して可変長復号処理、逆量子化処理、逆DCT処理を行い、可変

長復号部36で復号されたヘッダデータはメモリ(A)38aに記憶され、逆DCT処理された画像データはメモリ(1)44aに記憶される。そして、この第Nマクロブロックがインタラマクロブロックでない場合には、メモリ(A)38aに記憶されたヘッダデータに含まれる動きベクトルを用いて参照画像と加算処理され、動き補償が行われる。動き補償部46でこの動き補償処理は、上述したようにエラー処理を考慮して第Nマクロブロック内の全てのブロック（合計6個）の可変長復号処理が完了した後に実行される。

[0036] 図4には、以上の処理内容がタイミングチャートで示されている。各マクロブロック内での処理は、第2のタイミングチャートと同様であり、可変長復号、逆量子化、逆DCT処理がブロック単位で並列して実行される。そして、図2では第Nマクロブロックの動き補償処理が完了した後に第(N+1)マクロブロックの可変長復号処理を開始したが、本実施形態では図4に示すように第Nマクロブロックの可変長復号処理が完了した後に、直ちに第(N+1)マクロブロックの可変長復号処理を開始する。従って、第(N+1)マクロブロックの処理と第Nマクロブロックのいくつかのブロックの逆量子化処理、逆DCT処理が並列して実行され、本実施形態の動作は図2と図4を比較すれば、本実施形態の有効性は明らかである。

[0037] なお、上述した第1及び第2実施形態では、マクロブロック内の全てのブロックの可変長復号処理が完了した後に、並列して実行されているが、仮にブロックの可変長復号処理でエラーが生じないことが明らかである場合には、より先のタイミングで動き補償処理（参照画像の再生）を開始することも考えられる。この動作は図5に示されている。

[0038] 図5は、本実施形態の構成ブロック図である。基本的な構成は、図1に示された第1実施形態と同様であるが、逆DCT処理されたデータを記憶するメモリがメモリ(1)44aとメモリ(2)44bの2つのメモリから構成され、かつ、可変長復号されたヘッダデータを記憶するメモリがメモリ(A)38aとメモリ(B)38bの2つのメモリから構成されている点で相違する。メモリ(1)44aとメモリ(2)44bはその容量が図1のメモリ(1)44と同一であり、それぞれ同時に隣接するマクロブロックの画像データを記憶する。また、メモリ(A)38aとメモリ(B)38bも図1のメモリ(A)38と同一の容量を有し、それぞれ同時に隣接するマクロブロックのヘッダデータを記憶する。

[0039] このような構成において、各マクロブロック内での処理は上述した第1実施形態と同様であり、例えば、第NマクロブロックデータがDRAM34から読み出されると、可変長復号部36、逆量子化部40、逆DCT部42では順次ブロック単位に並列して可変長復号処理、逆量子化処理、逆DCT処理を行い、可変

長復号部36で復号されたヘッダデータはメモリ(A)38aに記憶され、逆DCT処理された画像データはメモリ(1)44aに記憶される。そして、この第Nマクロブロックがインタラマクロブロックでない場合には、メモリ(A)38aに記憶されたヘッダデータに含まれる動きベクトルを用いて参照画像と加算処理され、動き補償が行われる。動き補償部46でこの動き補償処理は、上述したようにエラー処理を考慮して第Nマクロブロック内の全てのブロック（合計6個）の可変長復号処理が完了した後に実行される。

[0036] 図4には、以上の処理内容がタイミングチャートで示されている。各マクロブロック内での処理は、第2のタイミングチャートと同様であり、可変長復号、逆量子化、逆DCT処理がブロック単位で並列して実行される。そして、図2では第Nマクロブロックの動き補償処理が完了した後に第(N+1)マクロブロックの可変長復号処理を開始したが、本実施形態では図4に示すように第Nマクロブロックの可変長復号処理が完了した後に、直ちに第(N+1)マクロブロックの可変長復号処理を開始する。従って、第(N+1)マクロブロックの処理と第Nマクロブロックのいくつかのブロックの逆量子化処理、逆DCT処理が並列して実行され、本実施形態の動作は図2と図4を比較すれば、本実施形態の有効性は明らかである。

[0037] なお、上述した第1及び第2実施形態では、マクロブロック内の全てのブロックの可変長復号処理が完了した後に、並列して実行されているが、仮にブロックの可変長復号処理でエラーが生じないことが明らかである場合には、より先のタイミングで動き補償処理（参照画像の再生）を開始することも考えられる。この動作は図5に示されている。

[0038] 図5は、本実施形態の構成ブロック図である。基本的な構成は、図1に示された第1実施形態と同様であるが、逆DCT処理されたデータを記憶するメモリがメモリ(1)44aとメモリ(2)44bの2つのメモリから構成され、かつ、可変長復号されたヘッダデータを記憶するメモリがメモリ(A)38aとメモリ(B)38bの2つのメモリから構成されている点で相違する。メモリ(1)44aとメモリ(2)44bはその容量が図1のメモリ(1)44と同一であり、それぞれ同時に隣接するマクロブロックの画像データを記憶する。また、メモリ(A)38aとメモリ(B)38bも図1のメモリ(A)38と同一の容量を有し、それぞれ同時に隣接するマクロブロックのヘッダデータを記憶する。

[0039] このような構成において、各マクロブロック内での処理は上述した第1実施形態と同様であり、例えば、第NマクロブロックデータがDRAM34から読み出されると、可変長復号部36、逆量子化部40、逆DCT部42では順次ブロック単位に並列して可変長復号処理、逆量子化処理、逆DCT処理を行い、可変

長復号部36で復号されたヘッダデータはメモリ(A)38aに記憶され、逆DCT処理された画像データはメモリ(1)44aに記憶される。そして、この第Nマクロブロックがインタラマクロブロックでない場合には、メモリ(A)38aに記憶されたヘッダデータに含まれる動きベクトルを用いて参照画像と加算処理され、動き補償が行われる。動き補償部46でこの動き補償処理は、上述したようにエラー処理を考慮して第Nマクロブロック内の全てのブロック（合計6個）の可変長復号処理が完了した後に実行される。

[0036] 図4には、以上の処理内容がタイミングチャートで示されている。各マクロブロック内での処理は、第2のタイミングチャートと同様であり、可変長復号、逆量子化、逆DCT処理がブロック単位で並列して実行される。そして、図2では第Nマクロブロックの動き補償処理が完了した後に第(N+1)マクロブロックの可変長復号処理を開始したが、本実施形態では図4に示すように第Nマクロブロックの可変長復号処理が完了した後に、直ちに第(N+1)マクロブロックの可変長復号処理を開始する。従って、第(N+1)マクロブロックの処理と第Nマクロブロックのいくつかのブロックの逆量子化処理、逆DCT処理が並列して実行され、本実施形態の動作は図2と図4を比較すれば、本実施形態の有効性は明らかである。

[0037] なお、上述した第1及び第2実施形態では、マクロブロック内の全てのブロックの可変長復号処理が完了した後に、並列して実行されているが、仮にブロックの可変長復号処理でエラーが生じないことが明らかである場合には、より先のタイミングで動き補償処理（参照画像の再生）を開始することも考えられる。この動作は図5に示されている。

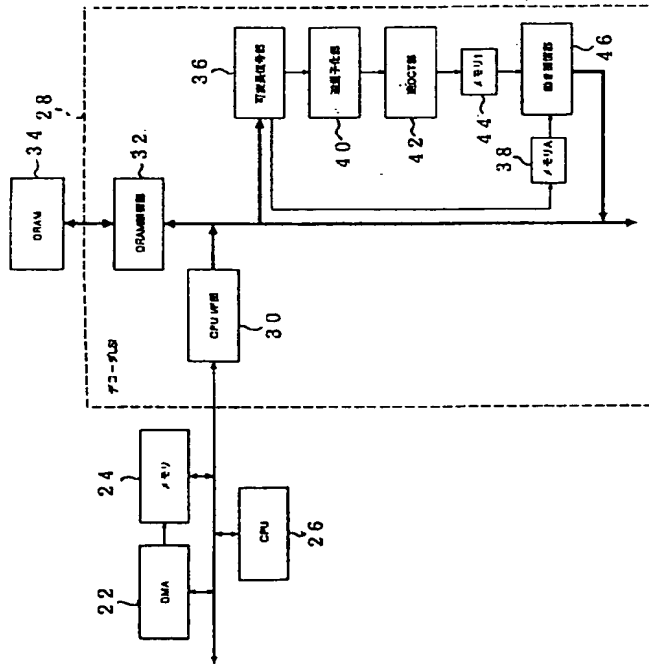
[0038] 図5は、本実施形態の構成ブロック図である。基本的な構成は、図1に示された第1実施形態と同様であるが、逆DCT処理されたデータを記憶するメモリがメモリ(1)44aとメモリ(2)44bの2つのメモリから構成され、かつ、可変長復号されたヘッダデータを記憶するメモリがメモリ(A)38aとメモリ(B)38bの2つのメモリから構成されている点で相違する。メモリ(1)44aとメモリ(2)44bはその容量が図1のメモリ(1)44と同一であり、それぞれ同時に隣接するマクロブロックの画像データを記憶する。また、メモリ(A)38aとメモリ(B)38bも図1のメモリ(A)38と同一の容量を有し、それぞれ同時に隣接するマクロブロックのヘッダデータを記憶する。

[0039] このような構成において、各マクロブロック内での処理は上述した第1実施形態と同様であり、例えば、第NマクロブロックデータがDRAM34から読み出されると、可変長復号部36、逆量子化部40、逆DCT部42では順次ブロック単位に並列して可変長復号処理、逆量子化処理、逆DCT処理を行い、可変

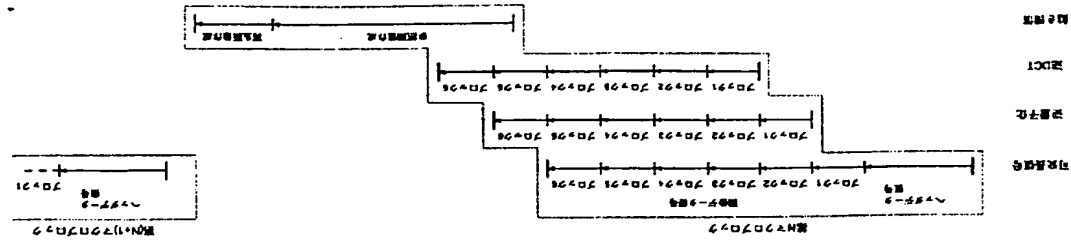
長復号部36で復号されたヘッダデータはメモリ(A)38aに記憶され、逆DCT処理された画像データはメモリ(1)44aに記憶される。そして、この第Nマクロブロックがインタラマクロブロックでない場合には、メモリ(A)38aに記憶されたヘッダデータに含まれる動きベクトルを用いて参照画像と加算処理され、動き補償が行われる。動き補償部46でこの動き補償処理は、上述したようにエラー処理を考慮して第Nマクロブロック内の全てのブロック（合計6個）の可変長復号処理が完了した後に実行される。

[0036] 図4には、以上の処理内容がタイミングチャートで示されている。各マクロブロック内での処理は、第2のタイミングチャートと同様であり、可変長復号、逆量子化、逆DCT処理がブロック単位で並列して実行される。そして、図2では第Nマクロブロックの動き補償処理が完了した後に第(N+1)マクロブロックの可変長復号処理を開始したが、本実施形態では図4に示すように第Nマクロブロックの可変長復号処理が完了した後に、直ちに第(N+1)マクロブロックの可変長復号処理を開始する。従って、第(N+1)マクロブロックの処理と第Nマクロブロックのいくつかのブロックの逆量子化処理、逆DCT処理が並列して実行され、本実施形態の動作は図2と図4を比較すれば、本実施形態の有効性は明らかである。

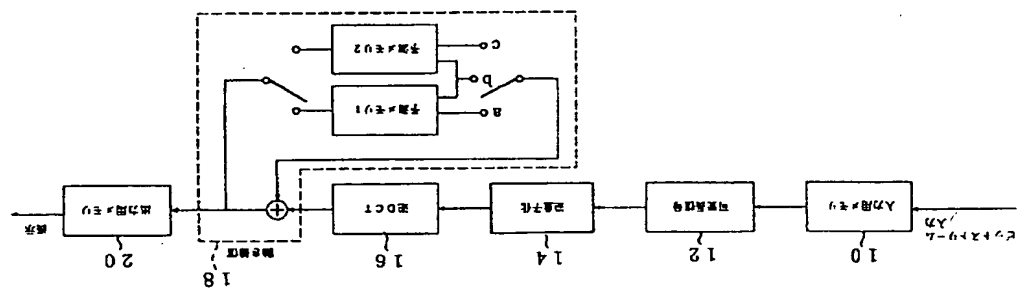
[[41]]



[[42]]



【図5】



フロントページの続き

(72) 発明者 上金 孝一
大阪府守口市京阪本通2丁目5番5号
洋電機株式会社内